



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09312806 A**(43) Date of publication of application: **02.12.97**

(51) Int. Cl.

**H04N 5/335****H04N 3/14**(21) Application number: **08147810**(71) Applicant: **OLYMPUS OPTICAL CO LTD**(22) Date of filing: **20.05.96**(72) Inventor: **GOMI YUICHI**(54) **SOLID-STATE IMAGE PICKUP DEVICE**

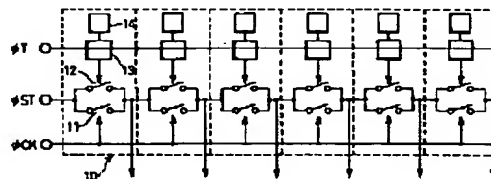
signals can be scanned together by arbitrary units.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

**PROBLEM TO BE SOLVED:** To read only an arbitrary area without driving with a highspeed clock, obtain a high frame rate, and attain reduction in scale by selecting and scanning an arbitrary unit of pixel signals of a two-dimensional pixel array together at each time.

**SOLUTION:** This shift register consists of a 1st shift switch 11 and a 2nd shift switch 12 which are cascaded to a shift register unit block 10 in stages, and opened and closed with the clock. The opening and closure of the shift switches 12 are controlled by unit blocks by a switch group 13 according to switch opening/closure information in a memory part 14. Here, an inputted start pulse  $\phi_{ST}$  is shifted by the 2nd shift switch 12 according to a shift clock  $\phi_{CK}$  in a nonconduction unit block and placed in phase with the shift signal of the unit block of the last stage irrelevantly to the shift clock  $\phi_{CK}$  in a conduction unit block. Therefore, the opening and closure of the shift switches can be controlled by the unit blocks, and the pixel



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9-312806

(43) 公開日 平成 9 年 (1997) 12 月 2 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H04N	5/335		H04N	5/335
	3/14			P

審査請求 未請求 請求項の数 4 FD (全 12 頁)

(21) 出願番号 特願平8-147810

(22) 出願日 平成 8 年 (1996) 5 月 20 日

(71) 出願人 000000376

オリンパス光学工業株式会社  
東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 五味 祐一

東京都渋谷区幡ヶ谷2丁目43番2号  
パス光学工業株式会社内

オリン

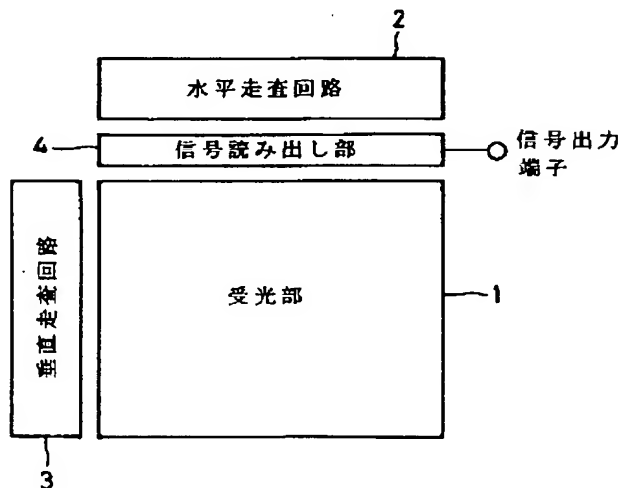
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 画素信号を任意の単位で一括して選択読み出しできるようにした高フレームレート化の可能な固体撮像装置を提供する。

【解決手段】 光電変換素子を2次元に配列した画素アレイからなる受光部1と該受光部の画素アレイの各画素信号を順次アドレスして読み出すための水平及び垂直走査回路2、3と信号読み出し部4とを備えた固体撮像装置において、走査回路に用いられるシフトレジスタを、シフトレジスタ単位ブロック10を多段に縦続接続しクロックにより情報を伝達して行くように構成し、各単位ブロック10を、クロックに従って開閉する第1のシフトスイッチ11と、該第1のシフトスイッチに対し並列に設けられた第2のシフトスイッチ12と、第2のシフトスイッチの開閉の情報を記憶するメモリ部14と、該メモリの情報を伝達するスイッチ群13とで構成し、第2のシフトスイッチの開閉を単位ブロック毎に制御できるように構成する。



## 【特許請求の範囲】

【請求項 1】 光電変換素子を 2 次元に配列した画素アレイからなる受光部と該受光部の画素アレイの各画素信号を順次アドレスして読み出すための水平及び垂直走査回路と信号読み出し部とを備えた固体撮像装置において、少なくとも一方の前記走査回路に用いられるシフトレジスタは、シフトレジスタ単位ブロックを多段に縦続接続し、クロックにより情報を伝達していくように構成されており、各シフトレジスタ単位ブロックは、クロックに従って開閉する第 1 のシフトスイッチと該第 1 のシフトスイッチに対し並列に設けた第 2 のシフトスイッチと該第 2 のシフトスイッチの開閉の情報を記憶するメモリ部と該メモリ部の情報を伝達するスイッチ群とを備え、前記メモリ部の情報及び前記スイッチ群により、前記第 2 のシフトスイッチの開閉を単位ブロック毎に制御できるように構成されていることを特徴とする固体撮像装置。

【請求項 2】 光電変換素子を 2 次元に配列した画素アレイからなる受光部と該受光部の画素アレイの光蓄積信号を順次アドレスして読み出すための水平及び垂直走査回路と信号読み出し部とを備えた固体撮像装置において、少なくとも一方の前記走査回路に用いられるシフトレジスタは、シフトレジスタ単位ブロックを多段に縦続接続し、クロックにより情報を伝達していくように構成されており、各シフトレジスタ単位ブロックは、クロックに従って開閉する第 1 のシフトスイッチと該第 1 のシフトスイッチに対し並列に設けた第 2 のシフトスイッチと該第 2 のシフトスイッチの開閉の情報を記憶するメモリ部と該メモリ部の情報を伝達するスイッチ群と前記シフトレジスタ単位ブロックのシフト信号と第 2 のシフトスイッチの制御信号とを入力とする論理ゲートを備え、前記メモリ部の情報及び前記スイッチ群により、前記第 2 のシフトスイッチの開閉を単位ブロック毎に制御できるように構成されていることを特徴とする固体撮像装置。

【請求項 3】 前記第 1 のシフトスイッチと同数のクロックに従って開閉する第 3 のシフトスイッチを備え、前記各メモリ部と第 3 のシフトスイッチの各出力端子をメモリスイッチを介して 1 対 1 に対応するように接続し、本走査に先立ち第 3 のシフトスイッチを先行走査させて第 3 のシフトスイッチに入力される情報をシフトした後、前記メモリスイッチを駆動することにより前記メモリ部への情報記憶の制御を行うように構成したことを特徴とする請求項 1 又は 2 記載の固体撮像装置。

【請求項 4】 前記メモリ部と前記第 1 のシフトスイッチの出力端子間にメモリスイッチを設け、本走査に先立つ先行走査において、前記第 1 のシフトスイッチに入力される情報をシフトした後、前記メモリスイッチを駆動することにより前記メモリ部への情報記憶の制御を行うように構成したことを特徴とする請求項 1 又は 2 記載の

固体撮像装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、高フレームレート化の可能な X-Y アドレス型固体撮像装置に関する。

【0002】

【従来の技術】 従来、X-Y アドレス型固体撮像装置において、高フレームレート化を実現する方法としては、2 次元に配列された画素の信号を個々に全て読み出すのではなく、画素信号をある単位ずつ一括して選択する方法、画素信号をある間隔で間引いて読み出す方法、あるいはある領域のみ読み出す方法などが知られている。

【0003】 画素信号をある単位ずつ一括して選択する方法としては、例えば特開昭 63-127657 号に開示されており、図 10 はその構成を、図 11 の (A)、

(B) にその動作を説明するためのタイミングチャートを示している。図 10 は、X-Y アドレス型固体撮像装置の走査回路を示している。図 10 において、101 と 102 はクロック入力端子であり、クロック入力端子 101 にはクロック CK1 が、クロック入力端子 102 にはクロック CK2 が印加される。105 はスタート信号入力端子で、スタート信号 ST が印加され、103 は走査方法選択信号入力端子で、選択信号が印加されるようになっている。104 と 106 は電源入力端子で、107 は選択ゲート群であり、クロック CK2 と選択信号を入力とする排他的論理和で構成されている。109 はシフトレジスタであり、単位シフトレジスタユニット 108 の繰り返しから構成されている。単位ユニット 108 はインバータ 2 段の直列接続から成り立っており、各インバータの直前にシフトスイッチ用トランジスタが挿入されている。前後 2 個あるシフトスイッチ用トランジスタの前段のゲートには、クロック信号 CK1 が印加されており、後段のゲートにはクロック信号 CK2、又は CK2 と選択信号からなる排他的論理和の出力が入力されている。110 ~ 120 は走査信号出力端子であり、S(0) ~ S(3n) が出力されるようになっている。

【0004】 次に、図 11 の (A)、(B) を用いて図 10 に示した走査回路の動作を説明する。図 11 において、CK1、CK2 はクロック信号であり、両者は反転の関係にある。ST はスタート信号であり、S(0) ~ S(3n) は走査信号出力である。まず、全画素を読み出す通常走査について、図 11 の (A) に示すタイミングチャートにより説明する。このモードでは、選択信号は低電位（以下 L と略称する）となっている。したがって、選択ゲートに用いている排他的論理和の出力は、クロック信号 CK2 と同信号となる。このとき、シフトレジスタ 109 の各単位ユニット 108 の動作は、CK1 が高電位（以下 H と略称する）になったとき、前段の単位ユニットの信号を取り込み、CK2 が H になったときその信号を出力するため、図 11 の (A) に示すとおり、CK2 の立ち

10

20

30

40

50

上がりに同期してシフトする走査信号出力  $S(0) \sim S(3n)$  が、各単位ユニットの出力端子 110 ~ 120 に出力される。

【0005】図 11 の (B) に示す高速走査の場合、選択信号は H となっている。したがって、選択ゲートに用いている排他的論理和はインバータとして動作する。それゆえ、排他的論理和で処理される CK2 は、CK1 と同位相になる。このとき、後段のシフトスイッチ用トランジスタのゲートに直接 CK2 が入力されているシフトレジスタの単位ユニット 108 の動作は、図 11 の (A) に示した場合と同様の動作を行う。一方、後段のシフトスイッチ用トランジスタのゲートに排他的論理和の出力が入力されているシフトレジスタの単位ユニット 108 の動作は、前後段のシフトスイッチ用トランジスタが同時にオンオフするため、その出力は、前段の単位ユニットの信号と同じになる。したがって、図 10 に示した構成の場合には、図 11 の (B) に示すように、 $S(0) \sim S(n-1)$ 、 $S(n) \sim S(2n-1)$ 、 $S(2n) \sim S(3n-1)$  は同じ出力となり、排他的論理和回路が入力される単位ユニットを 1 ブロックとみなし、そのブロック毎に信号がシフトするため、走査時間が短縮され高フレームレート化が可能となる。

【0006】また、画素信号をある間隔で間引いて読み出す方法、あるいはある領域のみを読み出す方法としては、所望の部分のみ通常のクロックレートで信号を読み出し、信号を読み出さない不要ラインの選択動作時は、走査回路のクロックレートを高くするように構成することが、特開昭 63-153971 号に公報に開示されている。

【0007】

【発明が解決しようとする課題】しかしながら、従来の方式を用いて高フレームレート化を実現しようとした場合、特開昭 63-127657 号開示の方法では、走査回路に用いる単位シフトレジスタの入力クロックを選択するための排他的論理和等のゲートを、一括して選択するユニットに全て設けることになるが、これはレイアウト的に一括して選択するユニット数が決まってしまうことになり、被写体によりフレームレートを最適化することができないという問題点がある。一方、特開昭 63-153971 号開示の方法を用いて高フレームレート化を実現しようとした場合、任意の領域を選択することは可能であるが、シフトレジスタを駆動するためのクロック制御が複雑になり、また不連続の画素信号を読み出す場合には、信号の出力されない不要期間が生じ、後処理にも手間がかかってしまうという問題点がある。

【0008】本発明は、従来の固体撮像装置における上記問題点を解消するためになされたもので、請求項 1 記載の発明は、高フレームレート化を実現するために、2 次元に配列された画素の信号を個々に全て読み出すのではなく、画素信号をある単位ずつ一括して選択する方法

をとった場合でも、レイアウト的に一括選択する数が決まってしまうことなく、任意の単位で一括して選択できるようにした固体撮像装置を提供することを目的とする。また、請求項 2 記載の発明は、高フレームレート化を実現するために、2 次元に配列された画素の信号を個々に全て読み出すのではなく、画素信号をある間隔で間引いて読み出す方法、あるいはある領域のみ読み出す方法をとった場合でも、高速クロックで駆動することなく、また不連続の画素信号を読み出す場合でも、信号の出力されない不要期間を生じさせないようにした固体撮像装置を提供することを目的とする。また、請求項 3 及び 4 記載の発明は、請求項 1 又は 2 記載の固体撮像装置において、メモリ部の情報制御手段を画素アレイと同一基板上に形成できるようにすることを目的とする。

【0009】

【課題を解決するための手段】上記問題点を解決するため、請求項 1 記載の発明は、図 1 の概念図に示すように、光電変換素子を 2 次元に配列した画素アレイからなる受光部 1 と、該受光部 1 の画素アレイの各画素信号を順次アドレスして読み出すための水平走査回路 2 及び垂直走査回路 3 と、信号読み出し部 4 とを備えた固体撮像装置において、上記水平走査回路 2 及び垂直走査回路 3 の少なくとも一方に用いられているシフトレジスタは、図 2 の概念図に示すように、シフトレジスタ単位ブロック 10 が多段に縦続接続され、クロックにより情報を伝達していくように構成されており、各シフトレジスタ単位ブロック 10 は、クロックに従って開閉する第 1 のシフトスイッチ 11 と、該第 1 のシフトスイッチ 11 に対し並列に設けた第 2 のシフトスイッチ 12 と、該第 2 のシフトスイッチ 12 の開閉の情報を記憶するメモリ部 14 と、該メモリ部 14 の情報を伝達するスイッチ群 13 とを備えており、前記メモリ部 14 の情報及び前記スイッチ群 13 により、前記第 2 のシフトスイッチ 12 の開閉を単位ブロック毎に制御できるように構成するものである。なお図 2 において、 $\phi ST$  はスタートパルス、 $\phi CK$  はシフトクロック、 $\phi T$  はスイッチ群 13 の制御信号を示している。

【0010】このように構成した走査回路を形成するシフトレジスタにおいては、シフトレジスタに入力されるスタートパルス  $\phi ST$  は、第 2 のシフトスイッチ 12 が非導通の単位ブロックでは、シフトクロック  $\phi CK$  に従いシフトされ、一方第 2 のシフトスイッチ 12 が導通の単位ブロックでは、シフトクロック  $\phi CK$  とは無関係に前段の単位ブロックのシフト信号と同相となる。したがって、各シフトレジスタ単位ブロック 10 に設けたメモリ部 14 の情報及びスイッチ群 13 により第 2 のシフトスイッチ 12 の開閉を単位ブロック毎に制御することにより、画素信号を任意の単位ずつ一括走査することによる高フレームレート化を可能とすることができる。

【0011】また、請求項 2 記載の発明は、同様に光電変換素子を 2 次元に配列した画素アレイからなる受光部

1と、該受光部1の画素アレイの各画素信号を順次アドレスして読み出すための水平走査回路2及び垂直走査回路3と、信号読み出し部4とを備えた固体撮像装置において、上記水平走査回路2及び垂直走査回路3の少なくとも一方に用いられているシフトレジスタは、図3の概念図に示すように、シフトレジスタ単位ブロック10を多段に縦続接続し、クロックにより情報を伝達していくように構成されており、各シフトレジスタ単位ブロック10は、クロックに従って開閉する第1のシフトスイッチ11と、該第1のシフトスイッチ11に対し並列に設けた第2のシフトスイッチ12と、該第2のシフトスイッチ12の開閉の情報を記憶するメモリ部14と、該メモリ部14の情報を伝達するスイッチ群13と、各単位ブロック10のシフト信号及び第2のシフトスイッチ12の制御信号を入力とする論理ゲート15を備えており、前記メモリ部14の情報及び前記スイッチ群13により、前記第2のシフトスイッチ12の開閉を単位ブロック毎に制御できるように構成するものである。なお図3において、 $\phi ST$ はスタートパルス、 $\phi CK$ はシフトクロック、 $\phi T$ はスイッチ群13の制御信号を示している。

【0012】このように構成した走査回路を構成するシフトレジスタにおいては、シフトレジスタに入力されるスタートパルス $\phi ST$ は、第2のシフトスイッチ12が非導通の単位ブロックでは、シフトクロック $\phi CK$ に従いシフトされ、一方第2のシフトスイッチ12が導通の単位ブロックでは、シフトクロック $\phi CK$ とは無関係に前段の単位ブロックのシフト信号と同相となる。そして、論理ゲート15によりこれらのシフト信号と第2のシフトスイッチ12の制御信号との論理積をとることにより、シフトクロック $\phi CK$ に従いシフトされた信号のみを出力することができる。したがって、各シフトレジスタ単位ブロック10に設けたメモリ部14の情報及びスイッチ群13により第2のシフトスイッチ12の開閉を単位ブロック毎に制御することにより、高速クロックで駆動することなく、また不連続の画素信号を読み出す場合でも、信号の出力されてい不要期間を生じずに、所望の画素信号のみを読み出す選択撮像による高フレームレート化を可能とすることができる。

【0013】また、請求項3記載の発明は、請求項1又は2記載の固体撮像装置において、前記第1のシフトスイッチと同数のクロックに従って開閉する第3のシフトスイッチを備え、前記各メモリ部と第3のシフトスイッチの各出力端子をメモリスイッチを介して1対1に対応するように接続し、本走査に先立ち第3のシフトスイッチを先行走査させて第3のシフトスイッチに入力される情報をシフトした後、前記メモリスイッチを駆動することにより前記メモリ部への情報記憶の制御を行うように構成するものである。このように構成することにより、メモリ部の制御手段を、シフトレジスタなど同一のプロセス(CMOS等)を用いたトランジスタで構成する

ことができるので、メモリ部の制御手段を画素アレイと同一基板上に形成することが可能となり、規模の縮小化を図ることができる。

【0014】また、請求項4記載の発明は、請求項1又は2記載の固体撮像装置において、前記メモリ部と前記第1のシフトスイッチの出力端子間にメモリスイッチを設け、本走査に先立つ先行走査において、前記第1のシフトスイッチに入力される情報をシフトした後、前記メモリスイッチを駆動することにより前記メモリ部への情報記憶の制御を行うように構成するものである。これにより、請求項3記載の発明と同様に、メモリ部の制御手段を画素アレイと同一基板上に形成することが可能となり、規模の縮小化を図ることができる。

【0015】

【発明の実施の形態】

(第1の実施の形態)次に、実施の形態について説明する。図4は本発明に係る固体撮像装置の第1の実施の形態における走査回路部分を示す回路構成図である。この実施の形態は、請求項1及び3記載の発明に対応するもので、走査回路を構成するシフトレジスタを4段の単位ブロックで構成している場合を示している。図4において、100はシフトレジスタの単位ブロックを示しており、単位ブロック100は、直列に接続した第1のクロック型インバータ21及び第2のクロック型インバータ22からなる第1シフトレジスタユニット20と、該ユニット20の第1のクロック型インバータ21におけるクロックにより制御されるシフトスイッチに対し並列に設けられた第2シフトスイッチ23と、インバータ2段の直列接続からなるメモリ部25と、該メモリ部25の出力端子と第2シフトスイッチ23の間に接続された第2シフトスイッチ制御用スイッチ群24と、直列に接続した第1のクロック型インバータ31及び第2のクロック型インバータ32から構成される第2シフトレジスタユニット30と、該第2シフトレジスタユニット30の第1のクロック型インバータ31の出力端子と前記メモリ部25の入力端子の間に接続されたメモリ用スイッチ26とで構成されている。

【0016】そして、第1シフトレジスタユニット20及び第2シフトレジスタユニット30の第1のクロック型インバータ21、31には、シフトクロック $\phi CK1$ 及びその反転クロック $\phi CK1$ が印加され、第1シフトレジスタユニット20及び第2シフトレジスタユニット30の第2のクロック型インバータ22、32には、シフトクロック $\phi CK2$ 及びその反転クロック $\phi CK2$ が印加されている。また、メモリ用スイッチ26は、pMOSトランジスタとnMOSトランジスタからなるアナログスイッチで構成されており、メモリパルス $\phi M$ 及びその反転クロックである $\phi M$ により制御される。また、第2シフトスイッチ制御用スイッチ群24は、pMOSトランジスタ及びnMOSトランジスタからなるアナログスイッチとnMOSトランジスタで構成されており、制御パルス $\phi T$

及びその反転クロックである $\phi T$ により制御されるようになっていく。

【0017】次に、このように構成されたシフトレジスタからなる走査回路の動作を、図5に示すタイミングチャートに基づいて説明する。まず本走査に先立つ先行走査においては、第2シフトレジスタユニット30のスタートパルス $\phi ST2$ を、シフトクロックの $n$ クロック周期に1周期 $H$ となるパルスとする。図5の図示例では、シフトクロック3周期に1周期 $H$ となる場合を示している。時刻 $t_1$ において、メモリパルス $\phi M$ を $H$ として、第2シフトレジスタユニット30内のノード $S2(0.5)$ 、 $S2(1.5)$ 、 $S2(2.5)$ 、 $S2(3.5)$ の状態をメモリ部25に記憶する。このとき、第1及び第4の単位ブロックのメモリ部25の入力端子は $L$ を、第2及び第3のブロックのメモリ部25の入力端子は $H$ を記憶する。

【0018】その後、時刻 $t_2$ において制御パルス $\phi T$ を $H$ として、メモリ部25の記憶情報によって第2シフトスイッチ23を制御した後、時刻 $t_3$ においてスタートパルス $\phi ST$ に $H$ を入力し、本走査を開始する。このとき第1及び第4の単位ブロックの第2シフトスイッチ23は非導通、第2及び第3の単位ブロックの第2シフトスイッチ23は導通状態となっている。第2シフトスイッチ23が非導通状態の単位ブロックでは、シフトクロックに従ってシフトパルスをシフトするが、第2シフトスイッチ23が導通状態の単位ブロックでは、前段ブロックの状態と同じになる。それゆえ、第2及び第3の単位ブロックの出力ノード $S(2)$ 、 $S(3)$ は、第1の単位ブロックの出力ノード $S(1)$ と同相となり、第4の単位ブロックの出力ノード $S(4)$ は、第3の単位ブロックの出力ノード $S(3)$ に対し、シフトクロック1周期分シフトしたものとなる。

【0019】以上説明したように、図4に示した構成の走査回路によれば、各単位ブロック100に設けたメモリ部25の情報により、各単位ブロック100の出力を、前段ブロックの出力に対し、シフトクロック1周期分シフトしたもの、又は同相とすることができるため、任意の単位ずつ一括走査することが可能となる。

【0020】なお、本実施の形態においては、メモリ部25の記憶機能部分はメモリ部25を構成しているインバータのゲート等に寄生する寄生容量である。したがって、この寄生容量に情報が十分記憶されている間は、本走査の走査単位が変わらなければ、メモリ部の情報の変更をする必要はない。また、記憶保持期間を長くするために、記憶用の容量素子を設けることもできる。更に本実施の形態においては、メモリ部25をインバータ2段で構成したものを示したが、情報を保持できるものであれば特に構成に制限はない。例えば、メモリ部25をインバータ1段で構成することにより、情報を記憶したときと反転した情報により第2シフトスイッチ23を制御すること

もでき、この場合はメモリ部25の規模を縮小することができる。

【0021】また、本実施の形態においては、シフトレジスタユニットにクロック型インバータを用いた例を示したが、別の構成のシフトレジスタユニットであっても構わない。また、本実施の形態においては、各第1シフトレジスタユニットに第2シフトスイッチと、その第2シフトスイッチを制御するための回路を設けたものを示したが、必ずしも全ユニットに設ける必要はない。

10 【0022】（第2の実施の形態）次に、第2の実施の形態について説明する。この実施の形態は請求項1及び4記載の発明に対応するもので、第1の実施の形態と異なる点は、メモリ部への情報記憶のための構成部分で、より簡単な構成で情報記憶が行えるようにしたものである。図6は本実施の形態の主要部である走査回路の回路構成図である。本実施の形態では、走査回路を形成するシフトレジスタを4段の単位ブロックで構成している場合を示している。図6において、100はシフトレジスタの単位ブロックで、直列に接続した第1のクロック型インバータ21及び第2のクロック型インバータ22からなるシフトレジスタユニット20と、該ユニット20の第1のクロック型インバータ21におけるクロックにより制御されるシフトスイッチに対し並列に設けられた第2シフトスイッチ23と、インバータ2段の直列接続からなるメモリ部25と、第1のクロック型インバータ21の出力端子とメモリ部25の入力端子の間に接続されたメモリ用スイッチ26と、メモリ部25の出力端子と第2シフトスイッチ23の間に接続された第2シフトスイッチ制御用スイッチ群24とで構成されている。

30 【0023】そして、第1のクロック型インバータ21には、シフトクロック $\phi CK1$ 及びその反転クロック $\phi CK1$ が印加され、第2のクロック型インバータ22には、シフトクロック $\phi CK2$ 及びその反転クロック $\phi CK2$ が印加されている。また、メモリ用スイッチ26は、 $pMOS$ トランジスタと $nMOS$ トランジスタからなるアナログスイッチで構成されており、メモリパルス $\phi M$ 及びその反転クロックである $\phi M$ により制御される。また、第2シフトスイッチ制御用スイッチ群24は、 $pMOS$ トランジスタ及び $nMOS$ トランジスタからなるアナログスイッチと $nMOS$ トランジスタで構成されており、制御パルス $\phi T$ 及びその反転クロックである $\phi T$ により制御されるようになっていく。

40 【0024】次に、このように構成されたシフトレジスタの動作を、図7に示したタイミングチャートに基づいて説明する。まず本走査に先立つ先行走査においては、スタートパルス $\phi ST$ を第1の実施の形態と同様に、シフトクロックの $n$ クロック周期に1周期、 $H$ となるパルスとする。図7の図示例では、3周期に1周期 $H$ となる場合を示している。このとき制御パルス $\phi T$ は $L$ となっているので、第2シフトスイッチ23は常にオフとなり、

シフトレジスタはシフトクロックに従ってスタートパルス $\phi$ STをシフトする。時刻 $t_1$ において、メモリパルス $\phi$ MをHとして、各シフトレジスタユニット20内のノードS(0.5)、S(1.5)、S(2.5)、S(3.5)の状態をメモリ部25に記憶する。このとき、第1及び第4の単位ブロックのメモリ部25の入力端子はLを、第2及び第3の単位ブロックのメモリ部25の入力端子はHを記憶する。

【0025】その後、時刻 $t_2$ において制御パルス $\phi$ TをHとして、メモリ部25の記憶情報によって第2シフトスイッチ23を制御した後、時刻 $t_3$ においてスタートパルス $\phi$ STにHを入力し、本走査を開始する。このとき、第1及び第4の単位ブロックの第2シフトスイッチ23は非導通、第2及び第3の単位ブロックの第2シフトスイッチ23は導通状態となっている。したがって第1の実施の形態と同様に、第2及び第3の単位ブロックの出力ノードS(2)、S(3)は、第1の単位ブロックの出力ノードS(1)と同相となり、第4の単位ブロックの出力ノードS(4)は、第3の単位ブロックの出力ノードS(3)に対し、シフトクロック1周期分シフトしたものとなる。

【0026】以上説明したように、図6に示した第2の実施の形態の走査回路の構成によれば、各単位ブロック100に設けたメモリ部25の情報により、各単位ブロック100の出力を、前段ブロックの出力に対し、シフトクロック1周期分シフトしたもの、又は同相とすることができるため、任意の単位ずつ一括走査することが可能となる。なお、本実施の形態においては、メモリ部25の記憶機能部分はメモリ部25を構成しているインバータのゲート等に寄生する寄生容量であるが、情報を保持できるのであれば第1の実施の形態と同様に、特に構成に制限はない。また、本実施の形態においては、シフトレジスタユニットにクロック型インバータを用いた例を示したが、第1の実施の形態と同様に、別の構成のシフトレジスタユニットであっても構わない。また、本実施の形態においては、各シフトレジスタユニットに第2シフトスイッチと、その第2シフトスイッチを制御するための回路を設けたものを示したが、第1の実施の形態と同様に、これらを必ずしも全ユニットに設ける必要はない。

【0027】(第3の実施の形態)次に、第3の実施の形態について説明する。この実施の形態は請求項2及び4記載の発明に対応するもので、図8は本実施の形態の主要部である走査回路の回路構成図である。本実施の形態では、走査回路を形成するシフトレジスタを4段の単位ブロックで構成している場合を示している。図8において、100はシフトレジスタの単位ブロックで、該単位ブロック100は、直列に接続した第1のクロック型インバータ21及び第2のクロック型インバータ22からなるシフトレジスタユニット20と、該ユニット20の第1のクロック型インバータ21におけるクロックにより制御される

シフトスイッチに対し並列に設けられた第2シフトスイッチ23と、インバータ2段の直列接続からなるメモリ部25と、第1のクロック型インバータ21の出力端子とメモリ部25の入力端子の間に接続されたメモリ用スイッチ26と、メモリ部25の出力端子と第2シフトスイッチ23の間に接続された第2シフトスイッチ制御用スイッチ群24と、第2のクロック型インバータ22の出力が入力するインバータ41と該インバータ41の出力及び第2シフトスイッチ23の制御信号を入力とするNOR回路42とから構成される論理ゲート40とで構成されている。

【0028】そして、第1のクロック型インバータ21には、シフトクロック $\phi$ CK1及びその反転クロック $\phi$ CK1が印加され、第2のクロック型インバータ22には、シフトクロック $\phi$ CK2及びその反転クロック $\phi$ CK2が印加される。また、メモリ用スイッチ26は、pMOSトランジスタとnMOSトランジスタからなるアナログスイッチで構成されており、メモリパルス $\phi$ M及びその反転クロックである $\phi$ Mにより制御される。また、第2シフトスイッチ制御用スイッチ群24は、pMOSトランジスタ及びnMOSトランジスタからなるアナログスイッチとnMOSトランジスタで構成されており、制御パルス $\phi$ T及びその反転クロックである $\phi$ Tにより制御されるようになっている。

【0029】次に、このように構成されたシフトレジスタの動作を、図9に示したタイミングチャートに基づいて説明する。まず本走査に先立つ先行走査においては、スタートパルス $\phi$ STとしてシフトクロックに同期したH又はL信号をシリアルに入力する。図9の図示例では、時系列的にHLLHなる場合を示している。このとき制御パルス $\phi$ TはLとなっているので、第2シフトスイッチ23は常にオフとなり、シフトレジスタはシフトクロックに従ってスタートパルス $\phi$ STをシフトする。時刻 $t_1$ において、メモリパルス $\phi$ MをHとして、各シフトレジスタユニット20内のノードS(0.5)、S(1.5)、S(2.5)、S(3.5)の状態をメモリ部25に記憶する。このとき、第1及び第4の単位ブロックのメモリ部25の入力端子はLを、第2及び第3の単位ブロックのメモリ部25の入力端子はHを記憶する。

【0030】その後、時刻 $t_2$ において制御パルス $\phi$ TをHとして、メモリ部25の記憶情報によって第2シフトスイッチ23を制御した後、時刻 $t_3$ においてスタートパルス $\phi$ STにHを入力し、本走査を開始する。このとき、第1及び第4の単位ブロックの第2シフトスイッチ23は非導通、第2及び第3の単位ブロックの第2シフトスイッチ23は導通状態となっている。したがって第1、第2の実施の形態と同様に、第2及び第3の単位ブロックのノードS(2)、S(3)は、第1の単位ブロックのノードS(1)と同相となり、第4の単位ブロックのノードS(4)は、第3の単位ブロックの出力ノードS(3)に対し、シフトクロック1周期分シフトしたもの

となる。そして、これらのノードS(1)～S(4)出力と第2シフトスイッチ23の制御信号の論理積出力ノードSf(1)～Sf(4)は、第2シフトスイッチ23の制御信号がLの単位ブロックのみノードS(1)～S(4)出力と同相となり、その他はLとなる。

【0031】以上説明したように、図8に示した第3の実施の形態の走査回路の構成によれば、各単位ブロック100に設けたメモリ部25の情報により、所望のシフトレジスタ単位ブロックのみ、シフトクロックに同期して順次出力することができる。したがって、任意間隔の間引き走査及び任意領域の走査が可能となる。

【0032】なお、本実施の形態においては、メモリ部への情報記憶のための構成として、第2の実施の形態と同様な構成を示したが、第1の実施の形態と同様な手段を用いて構成することも可能である。メモリ部の記憶機能部分はメモリ部を構成しているインバータのゲート等に寄生する寄生容量であるが、情報を保持できるものであれば第1及び第2の実施の形態と同様に、特にその構成に制限はない。また、本実施の形態においては、シフトレジスタユニットをクロック型インバータを用いて構成したものを示したが、第1及び第2の実施の形態と同様に、別の構成のシフトレジスタユニットであっても構わない。また、本実施の形態においては、各シフトレジスタユニットに第2シフトスイッチと、その第2シフトスイッチを制御するための回路を設けたものを示したが、第1及び第2の実施の形態と同様に、これらを必ずしも全ユニットに設ける必要はない。また、本実施の形態においては、論理ゲートをインバータとNOR回路とで構成したものを示したが、別の構成であっても構わない。

#### 【0033】

【発明の効果】以上実施の形態に基づいて説明したように、請求項1記載の発明によれば、2次元に配列された画素アレイの画素信号を任意の単位ずつ一括して選択走査することができ、高フレームレート化が可能な固体撮像装置を実現することができる。また、請求項2記載の発明によれば、高速クロックで駆動することなく、2次元に配列された画素アレイの画素信号を任意間隔で間引いて読み出すこと、又は任意の領域のみを読み出すことができ、高フレームレート化が可能な固体撮像装置を実現することができる。また、請求項3及び4記載の発明によれば、請求項1又は2記載の発明におけるメモリ部の制御手段を、画素アレイと同一基板上に形成することが可能となり、規模の縮小化を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明に係る固体撮像装置全体の概略構成を示

す概念図である。

【図2】請求項1記載の発明に係る固体撮像装置における走査回路を説明するための概念図である。

【図3】請求項2記載の発明に係る固体撮像装置における走査回路を説明するための概念図である。

【図4】本発明に係る固体撮像装置の第1の実施の形態における走査回路の構成を示す回路構成図である。

【図5】図4に示した走査回路の動作を説明するためのタイミングチャートである。

10 【図6】本発明の第2の実施の形態における走査回路の構成を示す回路構成図である。

【図7】図6に示した走査回路の動作を説明するためのタイミングチャートである。

【図8】本発明の第3の実施の形態における走査回路の構成を示す回路構成図である。

【図9】図8に示した走査回路の動作を説明するためのタイミングチャートである。

【図10】従来の固体撮像装置の走査回路を構成するシフトレジスタの構成例を示す図である。

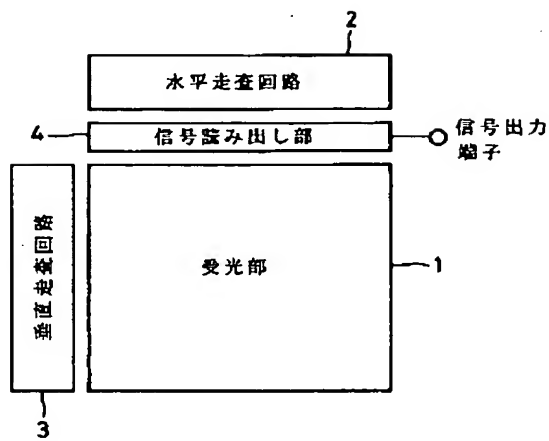
20 【図11】図10に示したシフトレジスタの動作を説明するためのタイミングチャートである。

#### 【符号の説明】

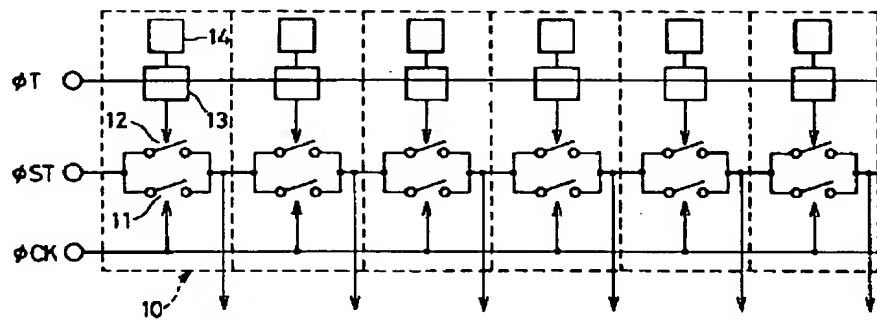
- 1 受光部
- 2 水平走査回路
- 3 垂直走査回路
- 4 信号読み出し部
- 10 シフトレジスタ単位ブロック
- 11 第1のシフトスイッチ
- 12 第2のシフトスイッチ
- 30 13 スイッチ群
- 14 メモリ部
- 15 論理ゲート
- 20 第1シフトレジスタユニット
- 21 第1のクロック型インバータ
- 22 第2のクロック型インバータ
- 23 第2シフトスイッチ
- 24 第2シフトスイッチ制御用スイッチ群
- 25 メモリ部
- 26 メモリ用スイッチ
- 40 30 第2シフトレジスタユニット
- 31 第2シフトレジスタユニットの第1のクロック型インバータ
- 32 第2シフトレジスタユニットの第2のクロック型インバータ
- 100 シフトレジスタ単位ブロック



【図1】

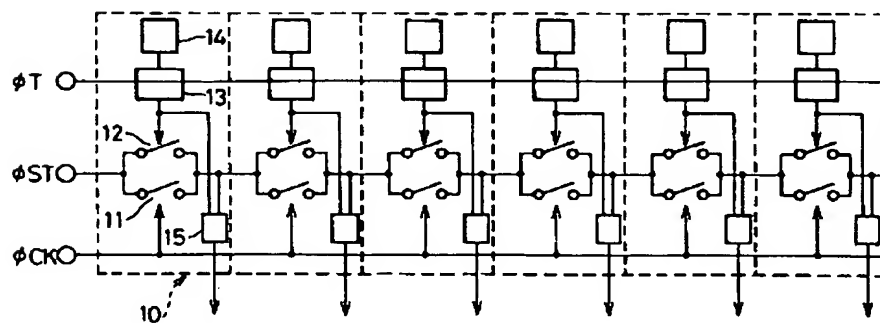


【図2】



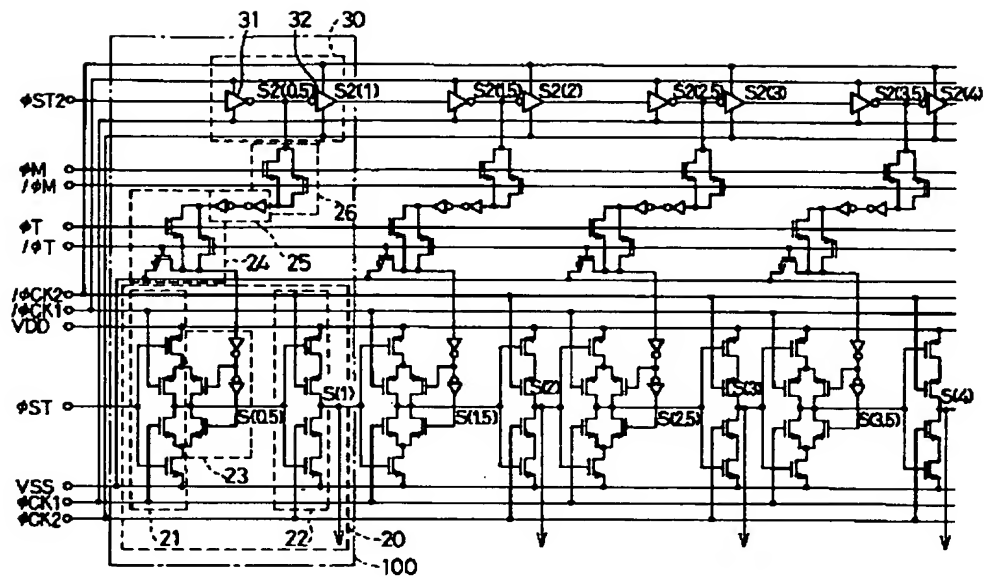
- 10: シフトレジスタ単位ブロック      13: 第2のシフトスイッチ制御用スイッチ群  
 11: 第1のシフトスイッチ              14: メモリ部  
 12: 第2のシフトスイッチ

【図3】

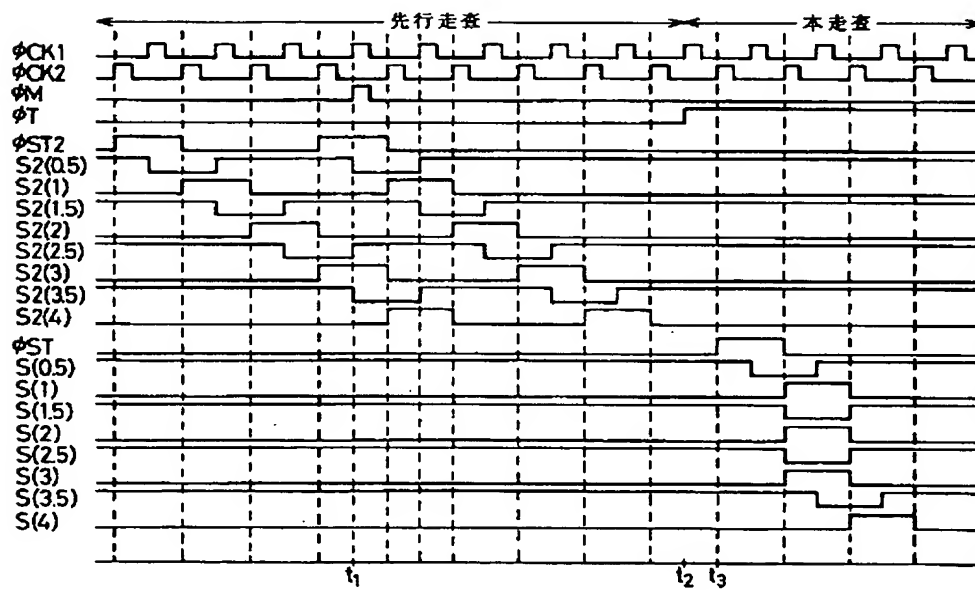


- 10: シフトレジスタ単位ブロック      13: 第2のシフトスイッチ制御用スイッチ群  
 11: 第1のシフトスイッチ              14: メモリ部  
 12: 第2のシフトスイッチ              15: 論理ゲート

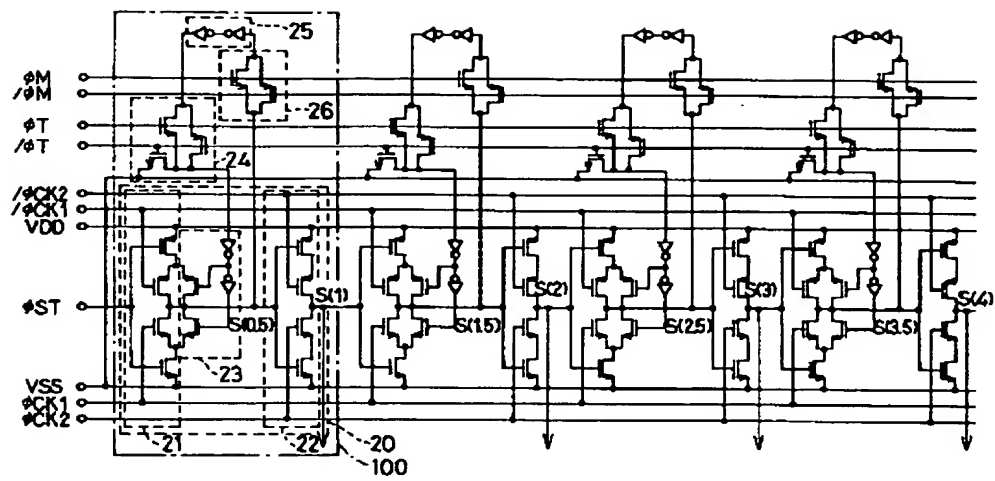
【図4】



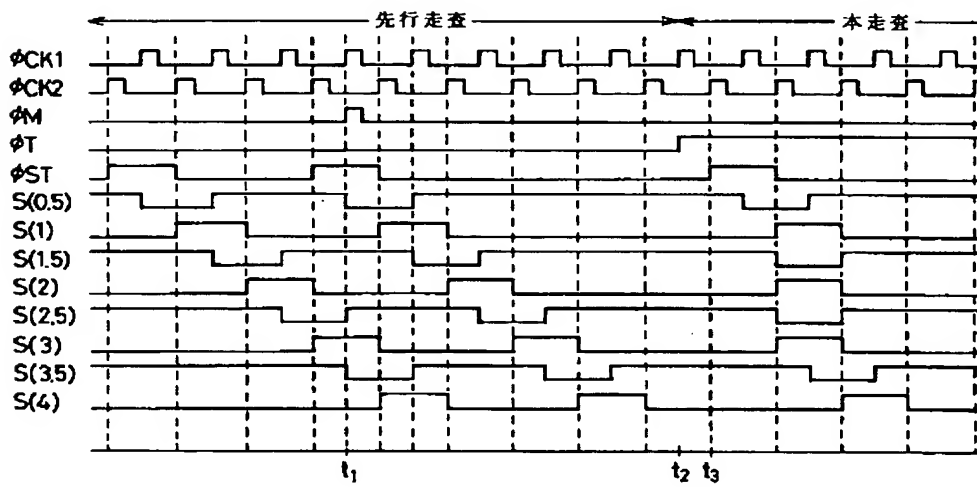
【図5】



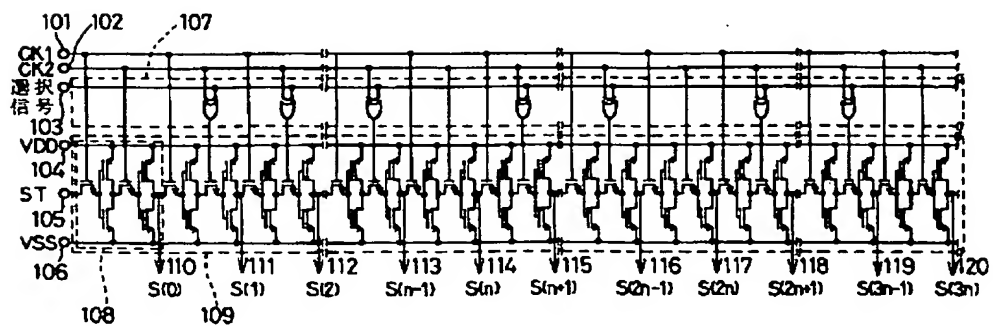
【図6】



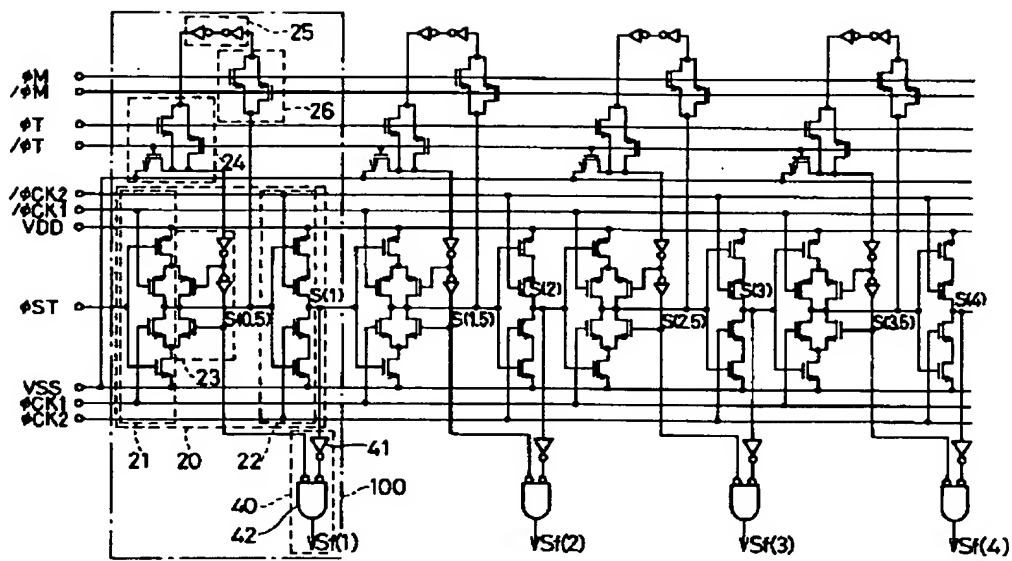
【図7】



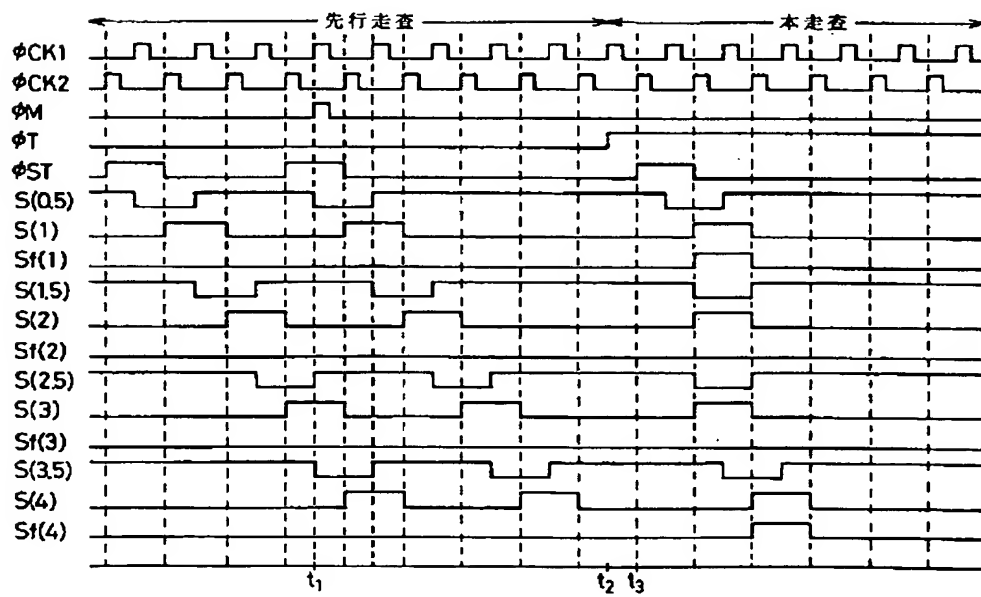
【図10】



【図8】



【図9】



【図 11】

